

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-077920

(43)Date of publication of application : 14.03.2003

(51)Int.Cl.

H01L 21/3205

H01L 21/304

(21)Application number : 2001-268111

(71)Applicant : NEC CORP

(22)Date of filing : 04.09.2001

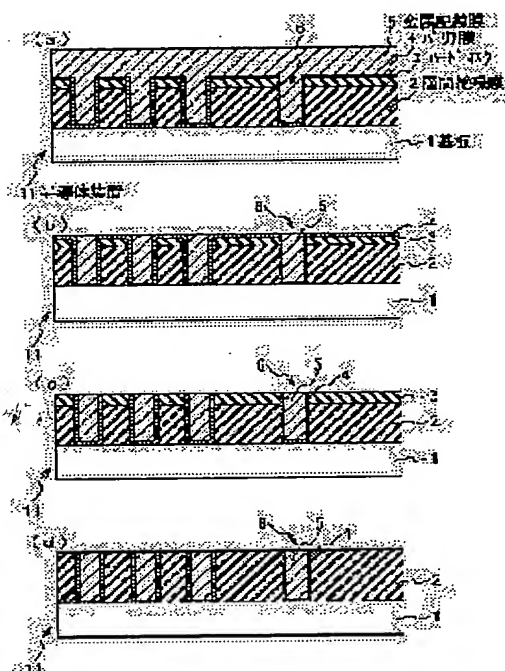
(72)Inventor : TONEGAWA TAKASHI
TSUCHIYA YASUAKI
INOUE TOMOKO

(54) METHOD FOR FORMING METAL WIRING

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce wiring delay by reducing parasitic capacitances between wirings, and to improve the flatness of the surface of an interlayer dielectric after wire forming.

SOLUTION: This method for forming metal wirings comprises a step of forming a first insulating film 2 on a semiconductor substrate 1, a step of forming a second insulating film 3 on the first insulating film 2, a step of forming a wiring groove 6 penetrating through the second insulating film 3 and extending in the first insulating film 2, a step of forming a first conductive film 4 so as to cover the inside of the wiring groove 6 and to cover the second insulating film 3, a step of forming a second conductive film 5 so as to cover the first conductive film 4, a step of removing the first conductive film 4 and the second conductive film 5 until the surface of the second insulating film 3 is exposed, and a step of removing the first conductive film 4 and the second conductive film 5 and the second insulating film 3 by CMP until the surface of the first insulating film 2 is exposed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

This Page Blank (uspto)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Copyright © 1998, 2003 Japan Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-77920
(P2003-77920A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) IntCl.	識別記号	F I	テマコード (参考)
H 0 1 L 21/3205		H 0 1 L 21/304	6 2 1 D 5 F 0 3 3
21/304	6 2 1		6 2 2 S
	6 2 2		6 2 2 X
		21/88	K

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21) 出願番号 特願2001-268111(P2001-268111)

(22) 出願日 平成13年9月4日 (2001.9.4)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 利根川 丘

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 発明者 土屋 泰章

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100102864

弁理士 工藤 実 (外1名)

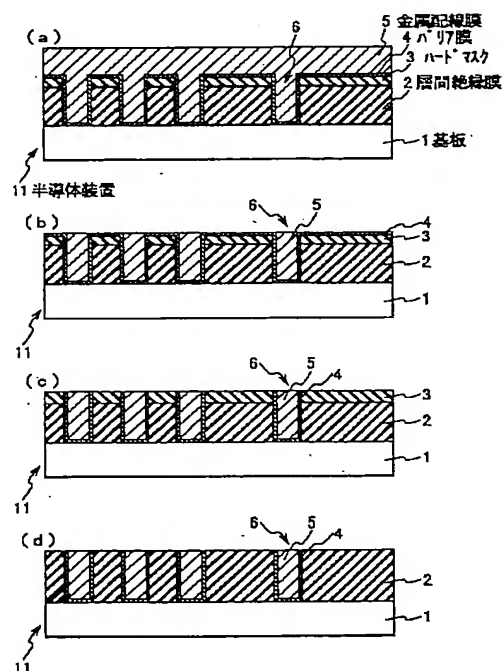
最終頁に続く

(54) 【発明の名称】 金属配線の形成方法

(57) 【要約】

【課題】 配線間の寄生容量を下げ配線遅延を低減し、配線形成後の層間絶縁膜の表面の平坦性を向上する。

【解決手段】 半導体基板1上に第1絶縁膜2を形成するステップと、第1絶縁膜2上に第2絶縁膜3を形成するステップと、第2絶縁膜3を貫通して第1絶縁膜2内に延びる配線溝6を形成するステップと、配線溝6の内面を覆い、かつ第2絶縁膜3を覆うように第1導電膜4を形成するステップと、第1導電膜4を覆うように第2導電膜5を形成するステップと、第2絶縁膜3の表面が露出するまで、第1導電膜4と第2導電膜5を除去するステップと、第1絶縁膜2の表面が露出するまで、第1導電膜4と第2導電膜5と第2絶縁膜3をCMPにより除去するステップとを具備する金属配線の形成方法を実施する。



【特許請求の範囲】

【請求項 1】半導体基板上に第 1 絶縁膜を形成する第 1 形成ステップと、
前記第 1 絶縁膜上に第 2 絶縁膜を形成する第 2 形成ステップと、
前記第 2 絶縁膜を貫通して前記第 1 絶縁膜内に延びる配線溝を形成する第 3 形成ステップと、
前記配線溝を満たし、かつ前記第 2 絶縁膜を覆うように導電膜を形成する第 4 形成ステップと、
前記第 1 絶縁膜の表面が露出するまで、前記導電膜と前記第 2 絶縁膜を CMP により除去する第 1 除去ステップと、
を具備する金属配線の形成方法。

【請求項 2】前記第 4 形成ステップは、
前記配線溝の内面を覆い、かつ前記第 2 絶縁膜を覆うように第 1 導電膜を形成する第 5 形成ステップと、
前記配線溝を満たし、かつ前記第 1 導電膜を覆うように第 2 導電膜を形成する第 6 形成ステップと、
を具備し、
前記第 1 除去ステップは、
前記第 1 導電膜の表面が露出するまで、前記第 2 導電膜を除去する第 2 除去ステップと、
前記第 1 絶縁膜の表面が露出するまで、前記第 2 導電膜と前記第 1 導電膜と前記第 2 絶縁膜を CMP により除去する第 3 除去ステップと、
を具備する、
請求項 1 に記載の金属配線の形成方法。

【請求項 3】前記第 2 除去ステップは、CMP で行なわれる、
請求項 2 に記載の金属配線の形成方法。

【請求項 4】前記第 2 除去ステップで使用される第 1 スラリーと、前記第 3 除去ステップで使用される第 2 スラリーとは異なる、
請求項 2 又は 3 に記載の金属配線の形成方法。

【請求項 5】前記第 2 スラリーは、前記第 2 絶縁膜の前記第 1 絶縁膜に対する研磨の選択比が 5 以上である、
請求項 4 に記載の金属配線の形成方法。

【請求項 6】前記第 2 スラリーの砥粒の粒径は、0.01～1 μm である、

請求項 4 又は 5 に記載の金属配線の形成方法。

【請求項 7】前記第 2 スラリーの前記砥粒は、コロイダルシリカを含む、
請求項 4 乃至 6 のいずれか一項に記載の金属配線の形成方法。

【請求項 8】前記第 3 除去ステップは、前記第 1 絶縁膜が CMP のストッパーとして機能する、
請求項 4 乃至 7 のいずれか一項に記載の金属配線の形成方法。

【請求項 9】前記第 1 絶縁膜は、二酸化シリコンより誘電率が低い、

請求項 1 乃至 8 のいずれか一項に記載の金属配線の形成方法。

【請求項 10】前記第 1 絶縁膜は、有機絶縁膜である、
請求項 1 乃至 9 のいずれか一項に記載の金属配線の形成方法。

【請求項 11】前記有機絶縁膜の比誘電率は、2.0～3.0 である、

請求項 10 に記載の金属配線の形成方法。

【請求項 12】前記有機絶縁膜は、ポリフェニレン、ポリアリレン、ポリアリエルエーテル、ベンジシクロブテンの内、少なくとも一つを含む、

請求項 10 又は 11 に記載の金属配線の形成方法。

【請求項 13】前記有機絶縁膜は、ポーラス化している、

請求項 10 乃至 12 のいずれか一項に記載の金属配線の形成方法。

【請求項 14】前記導電膜及び前記第 2 導電膜は、銅を含む、

請求項 1 乃至 13 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の金属配線の形成方法に関し、特に層間絶縁膜中の溝配線とその形成方法に関する。

【0002】

【従来の技術】チップサイズが拡大し、最小加工寸法が微細化するにつれて、配線の間隔や断面積が減少し、配線長が増加する。それに伴い、配線による容量と抵抗が急増するため、配線遅延が大きくなり問題となる。配線容量の減少のために、層間絶縁膜の低誘電率化が行なわれる。低誘電率化としては、低誘電率の絶縁膜を使用するのが一般的である。例えば、従来の無機系の二酸化シリコン膜（比誘電率 4.2）に不純物をドーピングして誘電率を下げる（比誘電率 3 前後）方法がある。あるいは、二酸化シリコン膜とは全く異なる有機系のポリマー（比誘電率 2～3）を絶縁膜として用いる方法がある。配線抵抗に対する解決策として、従来配線に用いられていたアルミニウム（抵抗率 3.0 μΩcm）を銅（抵抗率 1.7 μΩcm）に置き換える方法がある。また、平均配線長は、配線層数に反比例するので、配線を多層化する。それと共に、上位の階層に行くほど幅広で厚い抵抗の低い配線を適用した多層配線を行なう。そして、上位階層の低抵抗な配線をグローバルな接続に用い、下位階層の高集積な配線をローカルな接続に使い分ける。そうすることにより、チップ面積を低減しつつ、配線抵抗を低減することが出来る。これらの方法により、それまでの技術に比べて、配線遅延は、大幅に低減される。

【0003】しかし、従来の技術の多層配線化においては、以下に説明するような問題が存在する。図 5 を参照

して、従来の技術について説明する。図5は、半導体装置におけるダマシン配線の形成過程を示した断面図である。図の半導体装置は、基板101、層間絶縁膜102、ハードマスク103、バリア膜104、金属配線膜105、配線溝106を有する。基板101は、半導体素子、配線などを形成するための基板である。シリコンのような半導体基板そのものや、絶縁膜が形成された半導体基板、素子や配線を内部に含む絶縁膜で覆われた半導体基板等である。層間絶縁膜102は、炭化水素系のポリマーのような有機系の材料を用いた絶縁膜である。二酸化シリコンのような無機系の絶縁膜と違い、誘電率が低い。例えば、2.0～3.0の比誘電率を有する。ハードマスク103は、二酸化シリコンのような無機系の材料を用いた絶縁膜であが、窒化シリコン(SiN)、炭化シリコン(SiC)、炭化窒化シリコン(SiCN)、MSQ(Methyl Silsesquioxane)やHSQ(Hydrogen Silsesquioxane)のようなメチル基や水素を含んだ二酸化シリコンでも良い。ハードマスク構造は、単層に限らず、複数の上記膜種を組み合わせた積層構造でも良い。配線溝を形成するフォトリソグラフィの工程において、層間絶縁膜102を保護するための必須の膜である。また、化学機械研磨(CMP)法を用いて、バリア膜104(後述)を研磨する際、ストッパーの機能を有する。バリア膜104は、金属薄膜である。金属配線膜105が層間絶縁膜102へ拡散するのを防止する。例えば、窒化チタンやタンタルなどである。金属配線膜105は、抵抗率の低い金属で形成される配線用の膜である。絶縁膜中の配線溝に形成され、ダマシン配線となる。例えば、銅である。

【0004】次に、製造工程を説明する。図5(a)において、基板101上に、層間絶縁膜102及びハードマスク103が形成される。そして、フォトリソグラフィの工程により、配線溝106が形成される。その後、バリア膜104及び金属配線膜105が、積層成膜される。図5(b)において、バリア膜104をストッパーとするCMPの1次研磨により、金属配線膜105が研磨される。これにより、金属配線膜105の内、バリア膜104より上側の膜が除去される。図5(c)において、ハードマスク103をストッパーとするCMPの2次研磨により、バリア膜104が研磨される。これにより、バリア膜104及び金属配線膜105の内ハードマスク103より上側の膜が除去される。

【0005】しかし、配線が密集している部分(図5(a)～(c)左部)では、金属配線膜105の露出している割合が、ハードマスク103のそれに比較して同程度あるいはそれ以上になる場合もある。それ付近では、2次研磨において、バリア膜104の研磨に引きずられて、ハードマスク103も研磨され、薄くなる(図5(c)左部)場合もある。一方、孤立配線の周辺(図

5(a)～(c)右部)では、そのようなことは起こらない(図5(c)右部)。すなわち、ハードマスク103は、そのまま残る。従って、配線の断面積が場所により異なり、配線抵抗のパターン依存性が大きくなる。

【0006】また、ハードマスク3の削られ方が場所により異なるため、表面の凹凸が多くなる。多層配線を行う場合、各層毎にそのような凹凸が発生するとすれば、上層ほど凹凸による段差が大きくなることになる。その場合、膜の被覆性の問題や露光プロセスにおける焦点深度の問題等により、所望の膜を形成することが困難となり、段差を解消するための層間膜CMPの工程が必要となる。

【0007】加えて、従来の技術においては、CMP後においても、ハードマスク103がそのまま残っている。ハードマスク103は、無機系の絶縁膜であり、誘電率が層間絶縁膜102に比べて高い。従って、その誘電率の差の分だけ配線容量が高くなる。配線容量の増加は、配線遅延の増加につながり、集積度を更に向上させていく上で影響が大きい。

【0008】上記問題に関連して、特開平11-274122号公報に、半導体装置およびその製造方法が開示されている。図5を参照して説明する。この発明では、ハードマスク103として、有機SOG膜を用いる。有機SOG膜の誘電率は、二酸化シリコンに比較して低いので、配線間の寄生容量の低下に効果がある。また、アルミナ砥粒を用いたCMPにおいて、バリア膜104のCMP2次研磨(図5(c))の際、有効なストッパーとなる。しかし、有機SOG膜の誘電率は、層間絶縁膜102と比べて高い。また、CMP2次研磨後において、有機SOG膜は除去されない。

【0009】特開2000-223490号公報には、半導体装置の製造方法が開示されている。図5を参照して説明する。この発明では、バリア膜104のCMP2次研磨(図5(c))の後に、ハードマスク103をプラズマエッチングで除去する。そして、銅の配線全体を、層間絶縁膜102と同じ材料の低誘電率の絶縁膜で覆う。このようなプロセスにより、配線間の寄生容量を大幅に低減するものである。しかし、プラズマエッチング(真空装置を用いたプロセス)で除去するため、タクトタイムの増加が著しく、スループットも低下する懸念がある。また、プロセス装置のコストの増加が大きくなる可能性がある。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は、配線の容量を下げ、配線遅延を低減することが可能な金属配線の形成方法を提供することである。

【0011】また、本発明の別の目的は、配線形成後の層間絶縁膜の表面の平坦性を向上し、多層化を容易にすることが可能な金属配線の形成方法を提供することである。

【0012】本発明の更に別の目的は、配線の断面積が均一化され、配線抵抗のウエハ面内分布を向上させることが可能な金属配線の形成方法を提供することにある。

【0013】本発明の更に別の目的は、製造コストの増加を抑えつつ、配線遅延を低減することが可能な金属配線の形成方法を提供することにある。

【0014】本発明の他の目的は、スルーブットの低下を抑えつつ、配線遅延を低減することが可能な金属配線の形成方法を提供することにある。

【0015】

【課題を解決するための手段】以下に、【発明の実施の形態】で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、【特許請求の範囲】の記載と【発明の実施の形態】との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、【特許請求の範囲】に記載されている発明の技術的範囲の解釈に用いてはならない。

【0016】従って、上記課題を解決するために、本発明の金属配線の形成方法は、半導体基板（1）上に第1絶縁膜（2）を形成する第1形成ステップと、前記第1絶縁膜（2）上に第2絶縁膜（3）を形成する第2形成ステップと、前記第2絶縁膜（3）を貫通して前記第1絶縁膜（2）内に延びる配線溝（6）を形成する第3形成ステップと、前記配線溝（6）を満たし、かつ前記第2絶縁膜（3）を覆うように導電膜（4+5）を形成する第4形成ステップと、前記第1絶縁膜（2）の表面が露出するまで、前記導電膜（4+5）と前記第2絶縁膜（3）をCMPにより除去する第1除去ステップとを具備する。

【0017】また、本発明の金属配線の形成方法は、前記第4形成ステップが、前記配線溝（6）の内面を覆い、かつ前記第2絶縁膜（3）を覆うように第1導電膜（4）を形成する第5形成ステップと、前記配線溝（6）を満たし、かつ前記第1導電膜（4）を覆うように第2導電膜（5）を形成する第6形成ステップとを具備する。そして、前記第1除去ステップが、前記第1導電膜（4）の表面が露出するまで、前記第2導電膜（5）を除去する第2除去ステップと、前記第1絶縁膜（2）の表面が露出するまで、前記第2導電膜（5）と前記第1導電膜（4）と前記第2絶縁膜（3）をCMPにより除去する第3除去ステップとを具備する。

【0018】また、本発明の金属配線の形成方法は、前記第2除去ステップが、CMPで行なわれる。

【0019】更に、本発明の金属配線の形成方法は、前記第2除去ステップで使用される第1スラリーと、前記第3除去ステップで使用される第2スラリーとは異なる。

【0020】更に、本発明の金属配線の形成方法は、前記第2スラリーが、前記第2絶縁膜（3）の前記第1絶

縁膜（2）に対する研磨の選択比が5以上である。

【0021】更に、本発明の金属配線の形成方法は、前記第2スラリーの砥粒の粒径が、0.01~1 μ mである。

【0022】更に、本発明の金属配線の形成方法は、前記第2スラリーの前記砥粒が、コロイダルシリカを含む。

【0023】更に、本発明の金属配線の形成方法において、前記第3除去ステップは、前記第1絶縁膜（2）がCMPのストッパーとして機能する。

【0024】更に、本発明の金属配線の形成方法は、前記第1絶縁膜（2）が、二酸化シリコンより誘電率が低い。

【0025】更に、本発明の金属配線の形成方法は、前記第1絶縁膜（2）が、有機絶縁膜である。

【0026】更に、本発明の金属配線の形成方法は、前記有機絶縁膜の比誘電率が、2.0~3.0である。

【0027】また、本発明の金属配線の形成方法は、前記有機絶縁膜が、ポリフェニレン、ポリアリレン、ポリアリルエーテル、ベンジシクロブテンの内、少なくとも一つを含む。

【0028】また、本発明の金属配線の形成方法は、前記有機絶縁膜が、ポーラス化している。

【0029】更に、本発明の金属配線の形成方法は、前記導電膜（4+5）及び前記第2導電膜（5）が、銅を含む。

【0030】

【発明の実施の形態】以下、本発明である金属配線の形成方法の一実施の形態に関して、添付図面を参照して説明する。本実施例において、一層分の層間絶縁膜と配線溝を有する半導体装置を例に示して説明する。しかし、本発明は、多層配線の構造を有する半導体装置においても、各層の層間絶縁膜及び配線溝に対して適用することが可能である。

【0031】図1は、本発明である金属配線の形成方法における一実施の形態を示す断面図である。図1（a）から順番に、図1（d）まで半導体装置の製造工程を示す。図の半導体装置は、半導体装置の一断面を取り出して示している。基板1、層間絶縁膜2、ハードマスク3、バリア膜4、金属配線膜5、配線溝6を有する。

【0032】本発明では、ダマシン配線を有する多層配線構造において、配線形成プロセスに必須のハードマスク3を、配線形成後に化学機械研磨（CMP）で除去する新規なプロセスを導入することにより、配線遅延の原因となる配線容量（寄生容量）を低減する。その際、CMPにおいて、本発明により見出されたハードマスク3の層間絶縁膜2に対する研磨の選択比が大きい砥粒を用いる。その砥粒を用い、層間絶縁膜2をストッパーに用いたハードマスク3の研磨を行なうことにより、配線容量を低減することが出来る。また、平坦性の高い研磨を

行うことにより、多層配線構造を容易且つより精密に形成することが可能となる。

【0033】図1について説明する。半導体基板としての基板1は、半導体素子、配線などを形成するための基板である。シリコンのような半導体基板や、二酸化シリコンや窒化シリコンのような無機系の絶縁膜を形成された半導体基板でも良い。あるいは、複数の配線構造や素子が埋め込まれた絶縁膜の多層構造を有する半導体基板でも良い。本実施例では、二酸化シリコンを形成したシリコン基板である。

【0034】第1絶縁膜としての層間絶縁膜2は、基板1上に、CVD法やスピンコート法などで形成された絶縁膜である。有機系の材料を用い、配線間や配線と素子、素子間を絶縁する。配線の寄生容量を低減するために、低誘電率の材料を用いる。本実施例においては、二酸化シリコン（比誘電率4.2）に代表される無機系の絶縁膜と違い、例えば3.0以下の低い比誘電率を有する有機系の材料を用いる。CMPにより、ハードマスク3（後述）を研磨する際、研磨のストッパーの機能を有する。膜厚は、およそ300nmである。

【0035】層間絶縁膜2の材料としては、有機ポリマー系の低誘電率膜である。例えば、図3に示すような、末端が多環芳香族により修飾されたポリフェニレン（比誘電率2.7、例えば、ダウケミカル社製、SiLK（商品名））等の炭化水素系ポリマー、ポリアリールエーテル（比誘電率2.4、例えば、アライドシグナル社製、Flare-2.0（商品名）；旭化成製、Alcap（商品名））やポリアリレン等の芳香族系ポリマー、ベンジシクロブデン（比誘電率2.7、例えば、ダウケミカル社製、DVS-BCB（商品名））、が

ある。本実施例では、ポリフェニレンを用いる。

【0036】その他、ポリテトラフルロエチレン（比誘電率1.9）、フッ素化アモルファスカーボン（比誘電率2.1）、バリレン（比誘電率2.3）、フッ素化ポリイミド、プラズマCFポリマー、プラズマCHポリマー、などがある。

【0037】第2絶縁膜としてのハードマスク3は、層間絶縁膜2上に、CVD法やスピンコート法などで形成された絶縁膜である。配線溝6を形成するフォトリソグラフィのプロセスにおいて、層間絶縁膜2を保護する。また、CMPを用いて、バリア膜4（後述）を研磨する際、研磨のストッパーの機能を有する。二酸化シリコンや窒化シリコン、炭化シリコンのような無機系の材料を用いる。また、有機物、有機基、水素、水酸基等を不純物としてドーピングした二酸化シリコンでも良い。また、上記膜種を組み合わせた多層構造でも良い。比誘電率は、二酸化シリコンで、4.2程度、不純物ドーピングの二酸化シリコンで、3.0前後である。本実施例では、二酸化シリコンであり、膜厚は、およそ100nmである。

【0038】上記層間絶縁膜2及びハードマスク3の膜の例で示すように、層間絶縁膜2はシリコンを実質的に含まない（意図的あるいは積極的にには含まない）膜を用いる。そして、ハードマスク3は、シリコンを含む膜を用いる。これは、層間絶縁膜2をストッパーとして、ハードマスク3を研磨する際、ハードマスク3を削り易く、層間絶縁膜2を削りにくい（削らない）CMP用の砥粒として、シリカ材料（コロイダルシリカ）を用いるためである。

10 【0039】配線溝6は、ダマシン配線を形成するための金属配線を形成する溝である。ハードマスク3を貫通し、層間絶縁膜2内に延びるように、フォトリソグラフィの技術を用いて形成される。本実施例では、深さ400nm、幅200nmである。

【0040】第1導電膜としてのバリア膜4は、ハードマスク3上及び配線溝6の壁面（内面）に、スパッタ法や蒸着法、CVD法などにより形成された金属薄膜である。金属配線膜5が層間絶縁膜2へ拡散するのを防止する。高融点金属あるいはその窒化物である。例えば、タンタルや窒化タンタル、窒化チタン、それらの積層膜などである。本実施例では、窒化タンタルであり、膜厚は、およそ30nmである。

【0041】（第2）導電膜としての金属配線膜5は、配線溝6を満たし、且つ、バリア膜4を覆うように、スパッタ法や蒸着法、メッキ法などにより形成された金属膜である。最終的には、配線溝6中に形成された部分が、ダマシン配線となる。配線用に、抵抗率の低い金属で形成される。例えば、銅、アルミニウム、タングステンである。本実施例では、銅を用いる。膜厚は、配線溝形成前の成膜直後は、典型的には、配線溝6（ハードマスク3+層間絶縁膜2）分の400nm+配線の上方の800nm=1200nmである。

【0042】次に、図2を参照して、化学機械研磨（CMP）について説明する。図2は、CMPを行なう機器の構成を示す断面図である。一種類のCMP研磨について、図2の硬性を有する機器が1組用意される。基板11、ポリッシングヘッド部12、ポリッシングパッド13、パッド定盤14、スラリー供給機構15、スラリー16を有する。

40 【0043】基板11は、図1(a)で示す半導体装置（基板1+層間絶縁膜2+ハードマスク3+バリア膜4+金属配線膜5）である。CMPを行なう研磨面を、ポリッシングパッド13側へ向け、反対側をポリッシングヘッド部12で保持する。ポリッシングヘッド部12は、基板11を保持しつつ、基板11をポリッシングパッド13へ均一の圧力で押し付ける。また、加工の均一性を得るために、ポリッシングヘッド部12は回転する他、揺動運動を行なう場合もある。ポリッシングパッド13は、パッド定盤の上部に取り付けられ、後述のスラ

は、発泡ポリウレタン製のパッドである。、パッド定盤 14、温度による変形を極力避けるために水冷により温度制御される。そして、剛性が強く、線膨張係数が小さい材料が用いられる。例えばアルミナセラミックスである。スラリー供給機構 15 は、スラリーの砥粒が乾燥したり、溶媒中で凝集しないようにすると共に、所望の供給速度を維持できるような機構を有する。また、溶媒の濃度も維持できるような機構を有する。

【0044】図2に示すCMP装置を用いた典型的な加工条件は、以下の通りである。

基板 11 を押し付ける圧力：4 p s i、
ポリッシングヘッド部 12 の回転数：80 r.p.m
ポリッシングパッド 13 (パッド定盤 14)：80 r.p.m
スラリー供給機構 15 からのスラリー流量：200 c c / min.

【0045】なお、本発明は、図2で説明したCMP装置に限定されるものではない。従来の技術において用いられる他の装置も同様に利用可能である。既述の加工条件についても、本発明が上記条件に限定されるものではない。

【0046】スラリー 16 は、金属配線膜 5、バリア膜 4、ハードマスク 3 を化学的及び／又は機械的に研磨、除去するための砥粒を有する化学溶液である。金属配線膜 5 やバリア膜 4 のような導電膜のCMPについては、アルミナあるいは酸化マンガンのような砥粒を有するスラリーが用いられる。ただし、金属配線膜 5 とバリア膜 4 とに同一のスラリーを用いる必要はない。また、CMP で研磨・除去可能であれば、これらに限られるものではなく、他のスラリー（例えば、他の砥粒や、砥粒を含まないスラリー、後述するハードマスク 3 のCMP で用いるスラリー）でも良い。

【0047】ハードマスク 3 のCMP については、シリカ系の砥粒を有するスラリーを用いる。そして、ハードマスク 3 の層間絶縁膜 2 に対する研磨の選択比が高い（ハードマスク 3 の方が層間絶縁膜 2 よりも多く研磨される）研磨スラリー 16 を使用する。これは、層間絶縁膜 2 をストッパーとして、ハードマスク 3 をCMP により研磨するからである。ハードマスク 3 用のスラリーの条件として、次のような条件が挙げられる。

① 1 次粒子の平均粒径は、0.01~1 μ m、より好ましくは、0.02~0.1 μ m である。粒径が小さ過ぎるのは、研磨速度が遅く、時間がかかり過ぎるので好ましくない。また、粒径が大き過ぎるのは、研磨速度が速く、仕上り表面が粗くなる可能性があるので好ましくない。また、粒径分布が小さく、揃っていることで均質な研磨が可能となる。粒径分布は、中心粒径 $\pm 50\%$ 、より好ましくは、中心粒径 $\pm 30\%$ である。

② 分散性が高い。1 次粒子の分散性が高く、凝集が少ない。従って、2 次粒子は、その大きさが小さい。分散性

が高いことで、粒子本来の性質が研磨に反映でき、均一な研磨特性が得られる。

③ 機械的研削力が弱い。1 次粒子が角張らず、球形に近い形状であることが好ましい。すなわち、1 次粒子に角が無く、粒径が小さく (①)、凝集も少ない (②) と、機械的研削力が弱くなり、表面の仕上りもきれいになる。

【0048】そのような砥粒として、本実施例では、平均粒径 0.01~1 μ m のコロイダルシリカを用いる。

図4は、代表的な砥粒と研磨される膜との研磨レート比を示す表である。砥粒として、アルミナ、ヒュームドシリカ及びコロイダルシリカを取り上げる。研磨される膜として、バリア膜 4 として Ta (タンタル) 及び TaN (窒化タンタル)、ハードマスク 3 として SiO₂ (二酸化シリコン)、層間絶縁膜 2 としてポリフェニレン (SiLK (商品名) ダウケミカル社製) を示す。

【0049】Ta (及び TaN) の各砥粒による研磨レートを 100 とすると、各砥粒の各膜の研磨レートは、アルミナ砥粒で、SiO₂：40、ポリフェニレン：20、ヒュームドシリカ砥粒で、SiO₂：20、ポリフェニレン：10、コロイダルシリカ砥粒で、SiO₂：20、ポリフェニレン：1、となる。すなわち、コロイダルシリカを用い、層間絶縁膜 2 (ポリフェニレン) をストッパーとするハードマスク 3 の研磨を行なうと、ハードマスク 3 (SiO₂) の研磨が終了した時点で、層間絶縁膜 2 (ポリフェニレン) はほとんど研磨されない (選択比 20：1) ので、研磨は必然的に終了することとなる。また、CMP の研磨工程から、前述の選択比は、少なくとも 5：1 以上あることが好ましく、10：1 以上あることがより好ましい。

【0050】なお、既述のハードマスク 3 用のスラリーの条件 (①~③) を有するスラリーであれば、ハードマスク 3 (無機系のシリコンを有する絶縁膜) の層間絶縁膜 2 (有機系の低誘電率絶縁膜) に対する研磨の選択比が高いと考えられる。従って、コロイダルシリカだけでなく、上記スラリーの条件 (①~③) を有するスラリーが好ましいスラリーとなる。

【0051】次に、本発明である金属配線の形成方法について、図面を参照して説明する。図1(a)において、基板 1 上に、層間絶縁膜 2 をスピンコート法または CVD 法により成膜する。続いて、層間絶縁膜 2 上に、ハードマスク 3 をスピンコート法または CVD 法により成膜する。そして、フォトリソグラフィーのプロセスにより、ハードマスク 3 を貫通して層間絶縁膜 2 へ延びる配線溝 6 を形成する。その際、ハードマスク 3 が、エッチングの損傷から層間絶縁膜 2 を防ぐ。その後、スパッタ法により、バリア膜 4 を配線溝 6 の内面を覆いかつハードマスク 3 上に成膜する。そして、スパッタ法により、金属配線膜 5 を配線溝 6 を満たし、かつ、バリア膜 4 を覆うように成膜する。

【0052】次に、上記基板1を、搬送装置により第1 CMP装置へ移送する。そして、図1(a)の状態、バリア膜4をストッパーとして、金属配線膜5のCMPの1次研磨が行なわれる。ここで用いるスラリー（第1スラリー）は、既述の金属配線膜5用のスラリーである。研磨条件は、既述の条件である。これにより、金属配線膜5の内、バリア膜4より上側の膜が除去される。そして、図1(b)の状態となる。

【0053】1次研磨の後、上記基板1を、搬送装置により第2 CMP装置へ移送する。そして、図1(b)の状態、層間絶縁膜2をストッパーとして、バリア膜4及びハードマスク3を一度に研磨するCMPの2次研磨が行なわれる。ここで用いるスラリー（第2スラリー）は、既述のハードマスク3用のスラリーである。ここでは、コロイダルシリカを用いる。研磨条件は、既述の条件である。これにより、バリア膜4、ハードマスク3及び配線溝6中の層間絶縁膜2より上側の膜（バリア膜4及び金属配線膜5）が除去される。そして、層間絶縁膜2の表面が露出する。すなわち、図1(c)（バリア膜4除去）を経由して、図1(d)の状態となる。

【0054】図1(d)において、CMPにおける、ハードマスク3と層間絶縁膜2との研磨の選択比は非常に大きい(20:1)。従って、層間絶縁膜2を研磨することなく、ハードマスク3（及びハードマスク3に含まれる配線部分）を完全に除去することが可能である。すなわち、CMPの2次研磨において、層間絶縁膜2を研磨のストッパーとすることが出来る。

【0055】そして、配線が密集している部分においても、そうでない部分と同様にハードマスク3を研磨することが可能となる。すなわち、配線の粗密によらず、平坦な表面仕上が可能となる。従って、表面の平坦性が著しく向上し、層間膜CMPの工程を除くことが可能となり、多層化が容易となる。

【0056】加えて、CMP後において、誘電率が層間絶縁膜2に比較して高いハードマスク3が除去される。すなわち、配線間の寄生容量（配線容量）を低くすることが可能となる。更に、図1(d)の後、低誘電率の層間絶縁膜を積層することにより、配線容量の非常に低い多層配線構造を形成することが可能となる。配線容量の低下は、配線遅延の低下につながり、集積度を更に向上させていく上で有効である。

【0057】本発明の金属配線の形成方法は、従来の2次研磨（バリア膜4の研磨のみ）に加えて、ハードマスク3の研磨が加わる。しかし、工程的には、バリア膜4の研磨をそのまま延長するに過ぎない。すなわち、同じCMP装置の同じプラテン上で、同じ研磨条件で研磨する。従って、スループットの低下がほとんど無く、ハードマスク3を精密に研磨することが可能となる。そして、低コストで、最小加工寸法の微細化に伴う素子の多層化に有用な技術を得ることが出来る。

【0058】なお、上記プロセスでは、第1及び第2 CMP装置という2台のCMP装置を用いている。しかし、1台で2つのCMPが可能な機構（図2に例示）を有するCMP装置を用いて行なっても良い。

【0059】また、上記2次研磨において、バリア膜4とハードマスク3を、一度に同一のスラリー（第1スラリー）を用いて研磨している。しかし、このプロセスを、バリア膜4を研磨するプロセス（2次研磨）と、ハードマスク3を研磨するプロセス（3次研磨）とに分割し、それぞれ異なるスラリー及びCMPの研磨条件（押付け圧、回転数など）を用いて実施することも可能である。その場合、例えば、2次研磨で、従来のバリア膜4の研磨条件を用い、3次研磨で、上述のバリア膜4とハードマスク3を同時に研磨する研磨条件を用いることにより、実施可能である。各膜に最適なスラリー及び研磨条件を適用できるので、より精密に研磨を行なうことが出来る。

【0060】その場合、1次研磨から3次研磨まで、連続的なCMPのプロセスで行なわれる。すなわち、プラズマエッチングのような他のプロセスを用いないため、製造工程がスムーズに流れる。3つのプラテンを有するCMP装置を用いれば、一装置で一貫したCMP処理を行うことが出来る。従って、CMPプロセスは1つ増えるものの、タクトタイムの増加はほとんど無く、スループットの低下がほとんど無い。従って、低コストで、最小加工寸法の微細化に伴う素子の多層化に有用な技術を得ることが出来る。

【0061】

【発明の効果】本発明により、製造コストの増加を抑えつつ配線間の寄生容量を下げ配線遅延を低減し、配線形成後の層間絶縁膜の表面の平坦性を向上し、多層化を容易にすることができる。

【図面の簡単な説明】

【図1】(a)～(d)本発明である半導体装置の実施の形態における半導体装置の製造工程を示す断面図である。

【図2】本発明である半導体装置の実施の形態に関わるCMP装置を示す概略図である。

【図3】本発明である半導体装置の実施の形態における代表的な砥粒の構造を示す図である。

【図4】本発明である半導体装置の実施の形態における研磨される膜と砥粒の研磨レートとの関係を示す表である。

【図5】(a)～(c)従来の技術における半導体装置の製造工程を示す断面図である。

【符号の説明】

- 1 基板
- 2 層間絶縁膜
- 3 ハードマスク
- 4 バリア膜

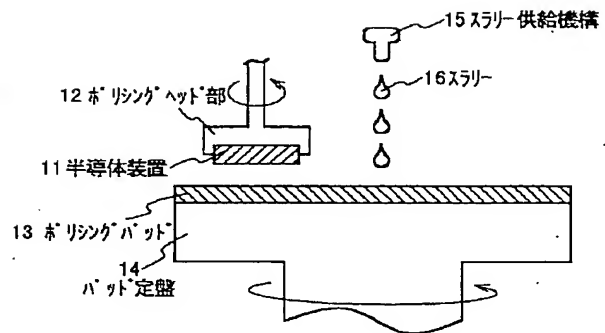
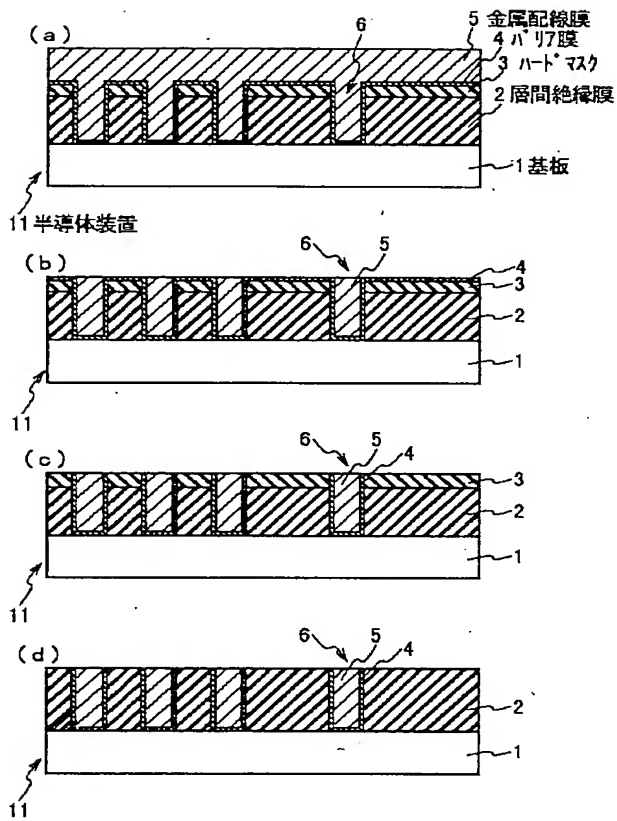
- 5 金属配線膜
- 6 配線溝
- 11 基板
- 12 ポリッシングヘッド部
- 13 ポリッシングパッド
- 14 パッド定盤
- 15 スラリー供給機構

- * 16 スラリー
- 101 基板
- 102 層間絶縁膜
- 103 ハードマスク
- 104 バリア膜
- 105 金属配線膜

*

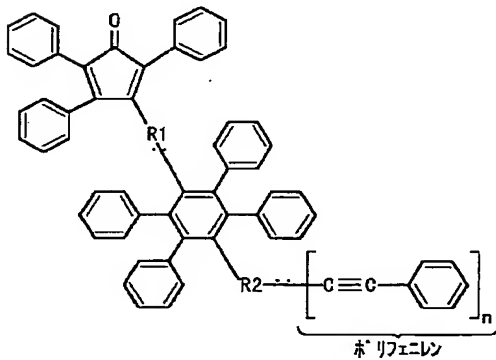
【図1】

【図2】



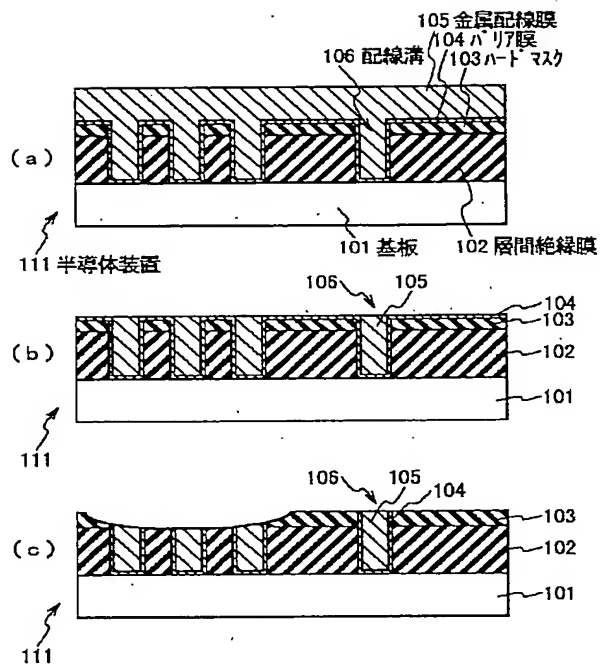
【図3】

【図4】



砥粒	アルミナ	ヒュームド・シリカ	コロイダルシリカ
Ta (N)	100	100	100
SiO ₂	40	20	20
* リフェニレン	20	10	1

【図5】



フロントページの続き

(72)発明者 井上 智子
東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5F033 HH08 HH11 HH17 HH19 HH21
HH32 HH33 MM01 MM12 MM13
PP06 PP15 PP19 PP26 QQ28
QQ48 QQ49 QQ50 RR01 RR04
RR06 RR12 RR21 RR22 RR24
SS11 SS21 WW01 WW09 XX01
XX24 XX34

THIS PAGE BLANK (USPTO)

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox

THIS PAGE BLANK (USPTO)